

一种使用时间斜移整形技术的 $\Delta\Sigma$ 时间数字转换器

韩威力, 林福江

(中国科学技术大学 电子科学与技术系, 安徽 合肥 230026)

摘 要: 本文提出了一种使用门控环形振荡器及时间斜移整形技术的 2-0 级联结构的 $\Delta\Sigma$ 型 TDC. 该 TDC 使用了一个环形 DTC 和基于时间寄存器的时域加法器, DTC 通过与 GRO-TDC 共享量化器从而无需校准并且降低了功耗. 通过将 GRO 量化器的输出分割为 MSB 和 LSB 部分, 环形 DTC 的精度要求被进一步降低. 利用该时间斜移整形技术, GRO 的时间斜移误差被一阶整形, 同时死区效应被解决. 与此同时, 实现了量化噪声的二阶整形. 该项技术易于在宽带和低功耗方面得到应用.

关键词: 时间数字转换器; 时间斜移; 门控振荡器; $\Delta\Sigma$ 调制器; 噪声整形

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2017)11-0043-05

A Gated Ring Oscillator Based $\Delta\Sigma$ Time to Digital Converter Using Time-Skew Shaping Technique

HAN Wei-li, LIN Fu-jiang

(Department of Electronic Science and Technology, University of Science and Technology of China, Hefei 230026, China)

Abstract: A 2-0 cascade gated-ring-oscillator (GRO) based $\Delta\Sigma$ time-to-digital converter (TDC) using time-skew shaping technique is presented in this paper. The proposed TDC includes a ring digital-to-time converter (Ring-DTC) and a time-register (TR) based time-domain adder. By sharing the intrinsic gated-ring quantizer of GRO-TDC, the Ring-DTC has performed no additional matching requirement, calibration free and low power consumption. By dividing the outputs of the GRO quantizer into an MSB segment and an LSB segment, the resolution requirement of Ring-DTC is further released. With the proposed time skew shaping technique, the time-skew of GRO is 1st order shaped, and the dead-zone effect is solved. At the same time, 2nd order quantization noise shaping is achieved. This technique is simple to implement and well suited for low-power and wide-band applications.

Key words: time-to-digital converter (TDC); time-skew; gated-ring-oscillator (GRO); delta-sigma modulator; noise shaping

1 引言

时间数字转换器(TDC)由于其较高的时间分辨率和出色的时间标记功能被广泛应用于全数字锁相环(ADPLL)^[1], 飞行时间的测量(TOF)和正电子成像技术(PET). 在这些应用中, 为了满足高精度、宽带宽、大动态范围的应用需求, 多种结构的 TDC 被相继提出. 但是这类奈奎斯特 TDC 虽然可以实

现较高的采样率却会受到片内失配的限制, 无法获得较高的分辨率和线性度. 这一缺点随着 CMOS 工艺的进步, 更加凸显出来. 而过采样 TDC 多采用图 1 中的基于门控振荡器(GRO)的结构. 这种结构中量化单元的失配会被一阶整形故片内失配的影响被减小. 但是 GRO-TDC 由于漏电流的存在和电荷在振荡器延时单元寄生电容中重分配的作用, 会产生时间斜移误差(Time-skew error), 如图 2 所示. 时

间斜移误差一方面会增加 TDC 的带内积分噪声, 另一方面还会产生死区效应^[2-4]. 为减小时间斜移误差, 多路径 GRO(multi-path GRO)^[2] 和基于开关型环形振荡器的 TDC(SRO-TDC)^[3] 的结构被提出来. 但是多路径 GRO TDC 会消耗更大的功耗和面积, SRO-TDC 的结构过于复杂, 而且只能实现一阶的量化噪声整形.

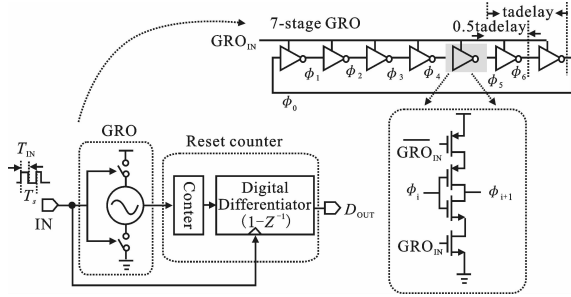


图 1 基于门控环形振荡器的时间数字转换器

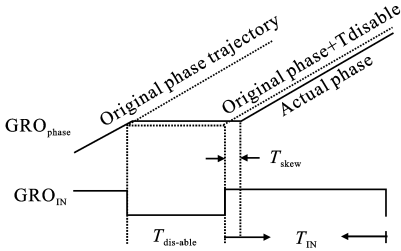


图 2 GRO 时间斜移误差

本文提出了一种新型的 GRO-TDC 结构, 利用时间存储技术和环形数字时间转换器(Ring-DTC), 以较低的功耗实现时间斜移误差的一阶整形, 同时对量化噪声进行二阶整形.

2 使用时间斜移整形技术的 $\Delta\Sigma$ -TDC 的系统结构

2.1 时间斜移整形技术

诸如漏电流和电荷重分配这类的非理想效应难以通过晶体管级的设计来对齐进行消除, 因此我们采用系统级的设计来帮助我们抑制和减小时间斜移误差的影响.

传统的 N -bit GRO TDC 如图 2 所示, 量化器的数字输出 D_{OUT} 不仅包括需要量化的输入信号, 还包括一阶整形的量化噪声和时间斜移:

$$D_{OUT} = T_{IN} + T_{skew} + (1 - Z^{-1})Q \quad (1)$$

然后通过一个 N -bit 的 DTC 将数字输出与输入作比较可以得到包含时间斜移的剩余误差, 然后通过增加一条信号路径给输入, 剩余误差在下一个采样周期被加到输入信号中, 如图 3 所示, 其传递函数

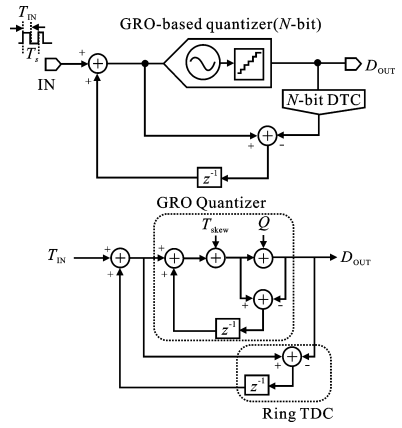


图 3 所提出的 $\Delta\Sigma$ -TDC 的结构框图和信号简化模型可以表示为:

$$R_{GRO} = T_{IN} - D_{TDC} = -T_{skew} - (1 - Z^{-1})Q \quad (2)$$

$$\begin{aligned} D_{OUT} &= T_{IN} + Z^{-1}R_{GRO} + (1 - Z^{-1})Q \\ &= T_{IN} + (1 - Z^{-1})T_{skew} + (1 - Z^{-1})^2Q \end{aligned} \quad (3)$$

可以看出时间斜移 T_{skew} 被一阶整形, 量化噪声 Q 被二阶整形.

2.2 提出的 2-0 级联结构

在 $\Delta\Sigma$ ADC 中已被证实, 我们可以用分离的量化器将输出分为 MSB 和 LSB, 而只将 MSB 反馈回输入^[5]. 由于 GRO 作为量化器非常自然的可以被划分为两种量化器 (MSB 为环形振荡器的周期, LSB 即为一个延时单元的延时), 这种结构也可以被我们用到 GRO TDC 中来降低 DTC 的复杂性, 简化 DTC 的结构, 减小失配对 DTC 的影响. 如图 4 所示, 类比于文献^[5]中的结构, 我们可以得到其传递函数.

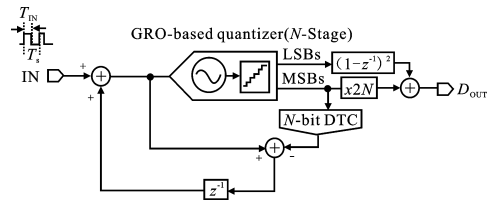


图 4 所提出的 2-0 级联结构的 $\Delta\Sigma$ GRO-TDC 的结构框图

$$\begin{aligned} D_{LSB} &= -Q_{MSB} + Q_{LSB} \\ D_{MSB} &= T_{IN} + (1 - Z^{-1})^2Q_{MSB} + (1 - Z^{-1})T_{skew} \\ D_{OUT} &= (1 - Z^{-1})^2D_{LSB} + D_{MSB} \\ &= T_{IN} + (1 - Z^{-1})^2Q_{LSB} + (1 - Z^{-1})T_{skew} \end{aligned} \quad (4)$$

由此可以看出, 利用该结构可以在采用简化 DTC 的基础上, 同样获得较高的分辨率.

3 电路细节设计与实现

3.1 环形 DTC

如图 1 所示,本结构采用 5 级的 GRO 作为量化器,其延时单元由简单的门控反相器来构成。DTC 和 TDC 都基于该 GRO,这样做既减小了功耗和电路复杂度,又避免了 DTC 和 TDC 的匹配性问题所引入的误差。

GRO-TDC 和 Ring DTC 的工作原理被显示在图 5 中。 GRO_{IN} 是输入信号, D_{TDC} 是 GRO-TDC 的数字输出。 τ_{ϕ} 是 GRO 中反相器的单位延时时间, T_{GRO} 是 GRO 的周期, $R_{[N]}$ 是目前采样周期的量化剩余部分。从图中可以看出, $R_{[N-1]}$ 是上一个周期的量化剩余部分。最后 DTC 的输出分为两部分,一部分是 $(T_{GRO} - R_{[N-1]} - T_{skew})$,另一部分是 $R_N(T_{GRO}$ 加入到输入信号中并不会影响量化误差的传递)。图 6 是本文提出的 TDC 结构的电路结构图,其中两个 SAFF(Sense Amplifier-based Flip-Flop)级联,即可以完成对输入信号和 GRO 相位的操作,来分别获得 DTC 的两部分输出^[4]。

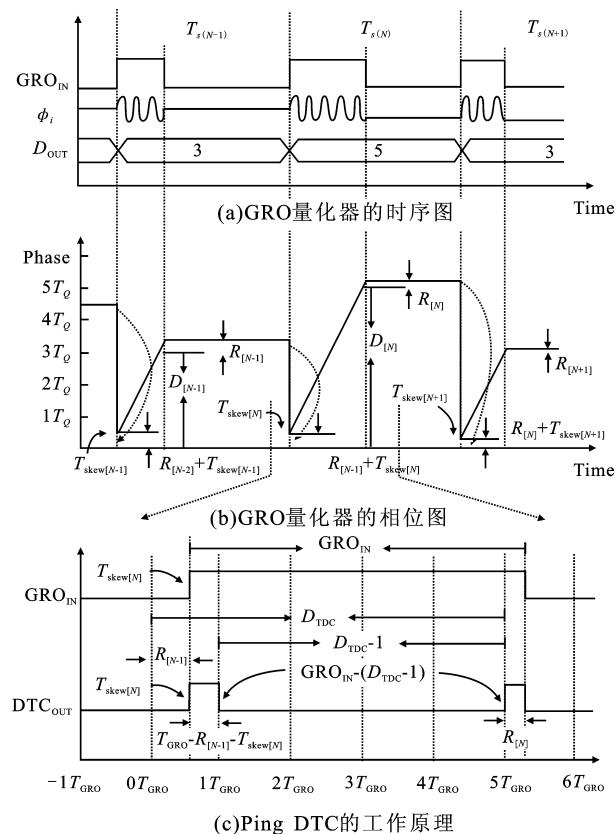


图 5 Ring DTC 的工作原理示意图

在实际中,DTC 的两部分输出都被加上了 0.5 T_{GRO} 作为一个固定的偏置量,用来避免窄脉冲效应。

3.2 基于时间寄存器的时域加法器

传统的高阶 $\Delta\Sigma$ TDC 中往往利用一个或门来实现时间域的求和,但是这样对于 GRO 来说会增加一个保持启动过程,这样会多引入一次时间斜移误差,因此我们采用文献[6]中的时间寄存器来实现对 DTC 输出的两部分进行求和与存储,如图 6 所示。

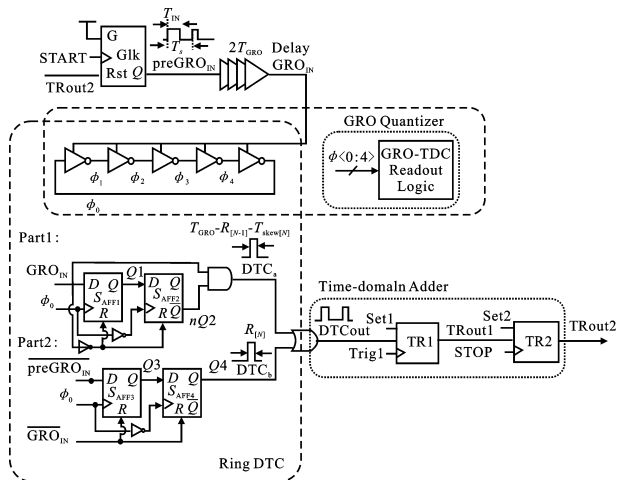


图 6 使用时间斜移整形技术的 2-0 级联结构的电路结构图

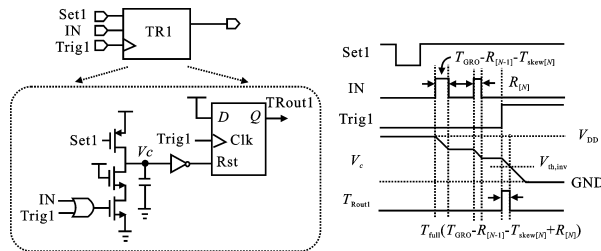
为了实现时间域的加法运算,我们需要两个时间寄存器级联,如图 7 所示。TR1 将 DTC 的两个部分结合起来,其输出为:

$$Q_{TR1} = T_{full} - (T_{GRO} - R_{[N-1]} - T_{skew[N]} + R_N)$$

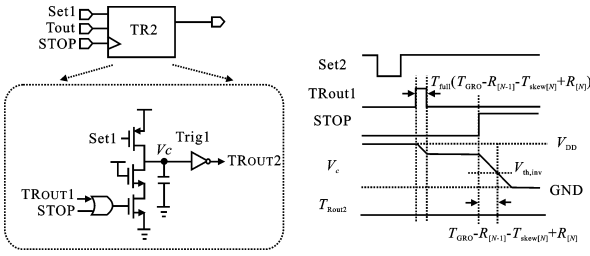
式中, T_{full} 为 TR 的量程,由输入为 0 时获得。TR1 的输出给 TR2 预充电,使得 TR2 的输出沿(即输入的 stop 信号)被延时了 $T_{full} - Q_{TR1}$ 。输入信号是由 start 信号和 TR2 的输出沿共同决定的,因此可得:

$$\begin{aligned} GRO_{IN} &= T_{IN} + T_{full} - Q_{TR1} \\ &= T_{IN} - Z^{-1} T_{skew} + Z^{-1} (1 - Z^{-1}) R \end{aligned}$$

从而实现了式中结果延时一个采样周期并加到输入信号中这一过程。



(a) TR1 的电路结构和时序图



(b) TR2 的电路结构和时序图

图 7 TR1 与 TR2 的电路和结构与它对应的时序图

4 非理想因素

实际中有许多因素会造成 TDC 性能的恶化, 例如 GRO 的相位噪声和时间寄存器的非理想效应. 本节将使用 Spectre 和行为级模型, 分析和讨论这些非理想因素的影响. 本文提出的 TDC 基于 SMIC 40 nm 1P-8M CMOS 工艺设计和仿真. 在本节的仿真中, TDC 输入信号幅度 $T_{INPP} = 100$ ps, 输入信号频率 $f_{IN} = 1$ MHz, GRO 频率 $f_{GRO} = 5$ GHz, 采样率 $f_s = 200$ MS/s.

4.1 GRO 相位噪声的影响

通过后仿可以获得 GRO 在 $f_{GRO} = 5$ GHz 时的相位噪声为 -82 dBc/Hz 在 1 MHz 频偏处. 由于 GRO 相位噪声的影响, TDC 在 5 MHz 带宽内的积分噪声由 55.0 fs_{rms} 恶化为 60.9 fs_{rms}.

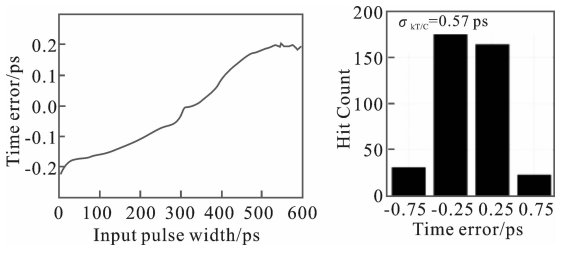
4.2 时间寄存器非理想性的影响

时间寄存器的非理想性主要体现在其噪声和非线性^[6]. 类似于 GRO, 时间寄存器同样由于电荷的重分配会产生时间斜移误差, 但是由于其负载电容较大, 电荷的重分配可以忽略不计. 另一方面, 时间寄存器的噪声主要来源于 kT/C 噪声, 为了减小噪声我们一般要提高电容的大小, 但是同时会增大时间寄存器的功耗, 经过权衡比较, 我们最终选取的电容大小为 100 fF.

Spectre 后仿显示 TR 的噪声大小为 0.57 ps, 其增益误差为 0.095%, 如图 8 所示. 从图 9 中可以看出, 由于 TR 噪声和增益误差的存在, TDC 的带内积分噪声由 63.8 fs_{rms} 恶化为 105.7 fs_{rms}.

4.3 失配的影响

对于本文提到的 TDC, 其 MSB 是 GRO 的一个周期, 不受 GRO 内单元失配的影响. 另一方面, LSB 的失配由延时单元的失配造成, 该失配在 GRO 中会被一阶整形, 同时会被之后的数字滤波器进一步二阶整形. 因此本文中的 TDC 对 GRO 失配有很强的抗性.



(a) 时间寄存器的

时间误差

(b) 时间寄存器的

单次精度测量

图 8 时间寄存器性能仿真结果

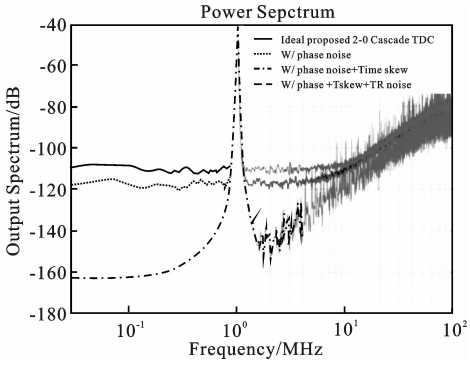


图 9 GRO 相位噪声、TR 中的噪声和

时间斜移对 TDC 性能的影响

4.4 工艺电压温度(PVT)及电源噪声的影响

在实际中, GRO 的频率会随 PVT 的变化, 从而导致量化精度的改变, 这会直接影响 TDC 量化噪声的大小. 图 10 的蒙特卡洛仿真结果显示, 在不同工艺角(SS~FF)、电压(1.1 V $\pm$ 0.1 V)及温度($-25^{\circ}\text{C} \sim 125^{\circ}\text{C}$)下 TDC 带内积分噪声相对于标准 PVT 状态(TT 工艺角, 电源电压 1.1 V, 温度 25°C)变化了约($\pm 8\%$).

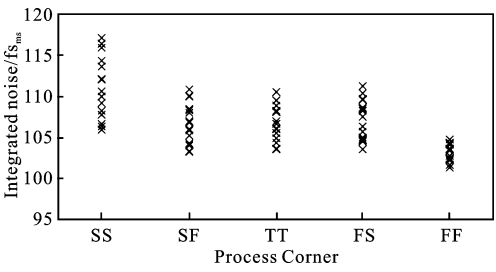


图 10 不同 PVT 条件下 TDC 的性能

电源噪声同样可以带来 GRO 频率的抖动, 从而恶化 TDC 的性能. 可以通过一种伪差分(Pseudo-differential)的振荡器结构的 GRO 来消除电源噪声的影响^[7].

5 仿真结果

本文所提出的一种使用时间斜移整形技术的

2-0 级联结构的 $\Delta\Sigma$ 型 TDC 在 SMIC 40 nm 1P8M CMOS 工艺下设计和仿真. 图 11 为所提出的 TDC 与传统 GRO-TDC 与 1-1 MASH GRO TDC 的对比仿真结果. 仿真包含了 GRO 相位噪声、时间寄存器的噪声和增益误差、时间斜移误差、GRO 单元失配(这些非理想条件的参数提取自晶体管级电路的后仿). 在输入信号幅度 $T_{INpp}=100$ ps, 输入信号频率 $f_{IN}=1$ MHz, GRO 频率 $f_{GRO}=5$ GHz, 采样频率 $f_s=200$ MS/s, 带宽 $f_{BW}=5$ MHz 的条件下, 传统 GRO-TDC 实现了一阶噪声整形, 带内积分噪声 290.6 fs_{rms}; 1-1 MASH GRO-TDC 实现了二阶噪声整形, 带内积分噪声 132.3 fs_{rms}; 所提出的使用时间斜移误差整形技术的 GRO-TDC, 带内积分噪声为 105.7 fs_{rms}. 通过利用的 DTC 和时间寄存器来建立出的另一条信号通路, 时间斜移误差被整形, 由它引入的带内积分噪声也减小了. 由图 12 看出, 由于时间斜移被整形, TDC 的死区效应也被消除. 其中, 时间斜移误差通过 GRO-TDC 的后仿结果获得.

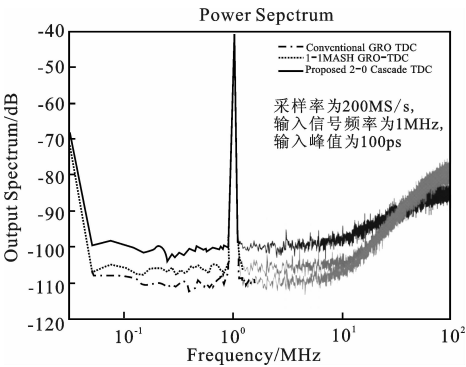


图 11 所提出的 TDC 与传统 GRO-TDC 与的 TDC 对比

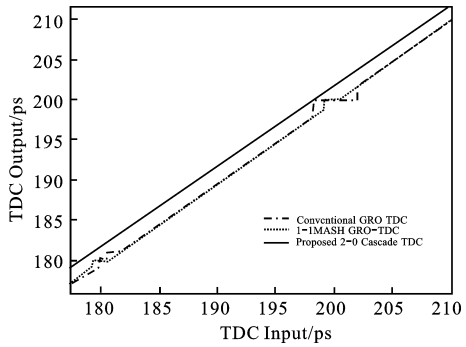


图 12 所提出的 TDC 与传统 GRO-TDC 的 DC 转移特性仿真结果对比图

6 结束语

本文提出了一种新型的利用时间斜移误差整形

技术的 $\Delta\Sigma$ -TDC. 该结构利用了新型的环形 DTC 结构和基于时间寄存器的时域加法器, 从而实现了一阶的时间斜移误差整形和二阶的噪声整形. 因此, 传统 GRO-TDC 的死区效应被消除, 同时时间斜移所贡献的带内噪声也被减小. 该结构还对失配不敏感, 无需校准, 非常适宜于低功耗和宽带应用.

参考文献:

[1] Hsu C M, Straayer M Z, Perrott M H. A low-noise wide-bw 3.6-ghz digital delta sigma fractional-n frequency synthesizer with a noise-shaping time-to-digital converter and quantization noise cancellation [J]. Ieee Journal of Solid-State Circuits, 2008, 43 (12): 2776-2786.

[2] Straayer M Z, Perrott M H. A multi-path gated ring oscillator tdc with first-order noise shaping [J]. Ieee Journal of Solid-State Circuits, 2009, 44 (4): 1089-1098.

[3] Yu W, Kim K, Cho S. A 148fS(rms) integrated noise 4 MHz bandwidth second-order delta sigma time-to-digital converter with gated switched-ring oscillator [J]. Ieee T Circuits-I, 2014, 61(8): 2281-2289.

[4] 谢润, 刁盛锡, 林福江. 一种使用增益校准技术的 $\Delta\Sigma$ 时间数字转换器 [J]. 微电子学与计算机, 2016, 33 (11): 137-141.

[5] Lee C C, Alpman E, Weaver S, et al. A 66dB SNDR 15MHz BW SAR assisted $\Delta\Sigma$ ADC in 22nm tri-gate CMOS [C]// proceedings of the VLSI Circuits (VLSIC), 2013 Symposium on. Kyoto, Japan, IEEE, 2013.

[6] Yu W, Kim K, CHO S. A 0.22 ps(rms) Integrated Noise 15 MHz bandwidth fourth-order delta sigma time-to-digital converter using time-domain error-feedback filter [J]. Ieee Journal of Solid-State Circuits, 2015, 50(5): 1251-1262.

[7] Konishi T, Okuno K, Izumi S, et al. A second-order all-digital tdc with low-jitter frequency shift oscillators and dynamic flipflops [J]. Ieice T Electron, 2013, E96c(4): 546-552.

作者简介:

韩威力 男, (1990-), 硕士研究生. 研究方向为射频/模拟集成电路设计. E-mail: weilihan@mail.ustc.edu.cn.

林福江 男, (1958-), 教授, 博士生导师. 研究方向为射频器件建模、射频模拟集成电路设计、微波单片集成.